



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ  
BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH  
TECHNologiÍ  
ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION  
DEPARTMENT OF MICROELECTRONICS

## FYZICKÁ KONTROLA INTEGROVANÝCH OBVODŮ POMOCÍ REVERZNÍHO INŽENÝRSTVÍ

PHYSICAL INSPECTION OF IC PROTOTYPES BY REVERSE ENGINEERING

BAKALÁŘSKÁ PRÁCE  
BACHELOR'S THESIS

AUTOR PRÁCE  
AUTHOR

HYNEK ŠTĚTINA

VEDOUCÍ PRÁCE  
SUPERVISOR

prof. Ing. JAROSLAV BOUŠEK, CSc.

BRNO 2012



VYSOKÉ UČENÍ  
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky  
a komunikačních technologií

Ústav mikroelektroniky

# Bakalářská práce

bakalářský studijní obor  
**Mikroelektronika a technologie**

**Student:** Hynek Štětina

**ID:** 98404

**Ročník:** 3

**Akademický rok:** 2011/2012

## NÁZEV TÉMATU:

**Fyzická kontrola integrovaných obvodů pomocí reverzního inženýrství**

## POKYNY PRO VYPRACOVÁNÍ:

Sestavte přehled metod reverzního inženýrství integrovaných obvodů (IO) použitelných při diagnostice navržených čipů na úrovni fyzické kontroly jednotlivých prvků ve vyrobených vzorcích navržených obvodů. Vybrané části dodaného prototypu IO se pomocí těchto metod pokuste zpětně zrekonstruovat na úrovni jednotlivých hradel.

Na základě dosažených výsledků stanovte další postup testu tak, aby konečným výsledkem mohlo být porovnání takto získané struktury IO se strukturou zadanou do výrobního procesu návrhového systému.

## DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce

**Termín zadání:** 6.2.2012

**Termín odevzdání:** 31.5.2012

**Vedoucí práce:** prof. Ing. Jaroslav Boušek, CSc.

**Konzultanti bakalářské práce:**

**doc. Ing. Jiří Háze, Ph.D.**

*Předseda oborové rady*

## UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

## ABSTRAKT

Předkládaná práce se zabývá technikami reverzního inženýrství integrovaných obvodů a jejich využití při fyzické kontrole jednotlivých prvků obvodu. Na praktickém příkladu je demonstrováno využití získaných dat. Dále je udán směr pro možnost porovnávání takto získaných dat vůči datům z návrhového prostředí.

## KLÍČOVÁ SLOVA

reverzní inženýrství, integrované obvody, CMOS, inspekce

## ABSTRACT

This bachelor's thesis deals with techniques of reverse engineering of integrated circuits and their usage for circuit elements inspection. The practical example demonstrates use of acquired data. Further direction is given to the possibility of comparing acquired data with data from design environment.

## KEYWORDS

reverse engineering, integrated circuits, CMOS, inspection

ŠTĚTINA, Hynek *Fyzická kontrola integrovaných obvodů pomocí reverzního inženýrství*: bakalářská práce. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav Mikroelektroniky, 2012. 40 s. Vedoucí práce byl prof. Ing. Jaroslav Boušek, CSc.

## PROHLÁŠENÍ

Prohlašuji, že svou bakalářskou práci na téma „Fyzická kontrola integrovaných obvodů pomocí reverzního inženýrství“ jsem vypracoval samostatně pod vedením vedoucího bakalářské práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této bakalářské práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

Brno .....

.....

(podpis autora)

Děkuji vedoucímu bakalářské práce prof. Ing. Jaroslavu Bouškovi, CSc. za cenné rady, připomínky a metodické vedení práce. Můj dík také patří firmě FEI Company, která mi umožnila přístup k elektronovému mikroskopu.

# OBSAH

<b>Úvod</b>	<b>9</b>
<b>1 Odpouzdřování</b>	<b>10</b>
1.1 Chemické odpouzdřování . . . . .	10
1.2 Laserové odpouzdřování . . . . .	12
1.3 Praktická část . . . . .	12
<b>2 Delayering</b>	<b>15</b>
2.1 Chemické metody . . . . .	15
2.2 Reaktivní iontové leptání . . . . .	16
2.3 Mechanické odstraňování vrstev . . . . .	17
2.4 FIB . . . . .	17
2.5 Praktická část . . . . .	18
<b>3 Sběr dat</b>	<b>21</b>
3.1 Optická mikroskopie . . . . .	21
3.2 Elektronová mikroskopie . . . . .	21
3.3 Praktická část . . . . .	22
<b>4 CMOS technologie</b>	<b>23</b>
4.1 MOS tranzistor . . . . .	23
4.2 Praktická část - rekonstrukce části obvodu . . . . .	24
<b>5 Layout IO</b>	<b>28</b>
5.1 GDSII . . . . .	28
5.2 Popis GDSII . . . . .	28
5.3 Program . . . . .	32
<b>6 Závěr</b>	<b>34</b>
<b>Literatura</b>	<b>35</b>
<b>Seznam symbolů, veličin a zkratk</b>	<b>37</b>
<b>A Příloha A</b>	<b>38</b>
A.1 Obsah přiloženého CD . . . . .	38
<b>B Příloha B</b>	<b>39</b>
<b>C Příloha C</b>	<b>40</b>

# SEZNAM OBRÁZKŮ

1.1	Příklad plastového pouzdra obvodu TS 555CM v pouzdře DIP 8 . . .	10
1.2	Čip odpouzdřený pomocí tryskového leptání [10] . . . . .	11
1.3	Uspořádání systému při laserovém odpouzdřování. . . . .	12
1.4	Odkryté QFP pouzdro pomocí YAG laseru [12] . . . . .	13
1.5	Mikroskopický snímek zbytků pouzdra . . . . .	14
2.1	Kolorovaný mikrovýbrus čipu pořízení pomocí rastrovacího elektronového mikroskopu [1]. . . . .	15
2.2	Vodivý motiv odkrytý metodou RIE.[3] . . . . .	16
2.3	přístroj MultiPrep™.[5] . . . . .	17
2.4	Podleptání vodivých cest kyselinou fluorovodíkovou . . . . .	18
2.5	Sada otestovaných brusných plátén . . . . .	19
2.6	Povrch Si broušený pomocí plátna 3200 zrn/cm <sup>2</sup> . . . . .	19
2.7	Povrch Si broušený pomocí plátna 6000 zrn/cm <sup>2</sup> . . . . .	19
2.8	Povrch Si broušený pomocí plátna 12000 zrn/cm <sup>2</sup> . . . . .	20
3.1	Čip zobrazený pomocí optického mikroskopu před a po odstranění propojovacích vrstev. . . . .	22
3.2	Efekt nabíjení vzorku na výslednou koláž . . . . .	22
4.1	Tranzistor NMOS a PMOS při technologii n-well . . . . .	23
4.2	Jednotlivé vrstvy dodaného čipu. . . . .	24
4.3	Rekonstrukce standardní buňky flip-flop. . . . .	25
4.4	NMOS tranzistor s dvojitou Gate elektrodou. . . . .	26
4.5	Náhradní schéma NMOS s dvojitou Gate elektrodou. . . . .	26
4.6	Schéma rekonstruované části obvodu. . . . .	26
4.7	Schéma rekonstruované části obvodu. . . . .	27
5.1	Zobrazení GDSII souboru v HEX editoru . . . . .	31
5.2	Grafická reprezentace vzorového GDSII souboru . . . . .	32
5.3	Ukázka programu s načteným GDSII souborem obsahujícím hraldo XOR. . . . .	33
B.1	Vrstva Metal 1 dodaného čipu . . . . .	39
C.1	Automatické rozpoznávání log. buněk pomocí programu Degate . . .	40

## SEZNAM TABULEK

5.1	Struktura hlavičky záznamu . . . . .	29
5.2	Datové typy . . . . .	29
5.3	Typy záznamů . . . . .	31



# ÚVOD

Obecnou definici reverzního inženýrství můžeme uvést jako proces odkrývající strukturu, funkci nebo principy fungování zkoumaného objektu. Reverzní inženýrství hraje v polovodičovém průmyslu nenahraditelnou roli. A to jak při analýze defektů integrovaných obvodů, bezpečnostních analýzách, tak při konkurenčním boji. Každý totiž chce přirozeně vědět, jak je na tom konkurence a zda případně nedochází k porušování patentů.

V této oblasti dokonce existují specializované firmy, které dělají kompletní analýzy čipů na klíč. Příkladem je Kanadská firma Chipworks [7], která za cenu od 10 do 250 tisíc dolarů dodává simulací ověřenou podrobnou analýzu čipu až na obvodovou úroveň. Šetří tak polovodičovým firmám čas, který pak můžou použít k vývoji nových produktů .

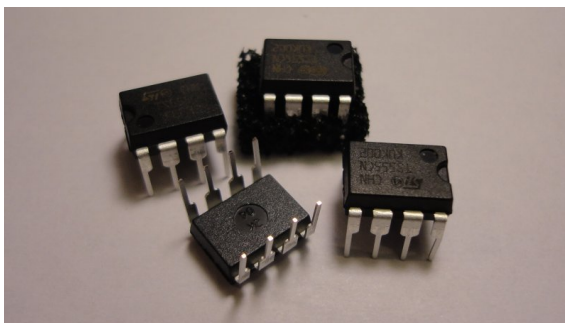
# 1 ODPOUZDŘOVÁNÍ

Samotný polovodičový čip, který je v centru našeho zájmu, je uložen v pouzdře. To zajišťuje elektrické propojení s okolím, ochranu proti vnějším vlivům a v neposlední řadě usnadňuje manipulaci. Dle použitého materiálu je dělíme na plastové, keramické a kovové.

Keramická a kovová pouzdra jsou spíše určena pro speciální aplikace. V této práci se tedy omezíme pouze na odpouzďování nejrozšířenějších plastových pouzder. Pouzdřicí hmota je vícesložková směs polymerního materiálu s aditivy (tužidla, plniva, barviva atd.) založená převážně na bázi epoxidových pryskyřic [6]. Jako plnivo se používá mletý Si/SiO<sub>2</sub>

**Přehled používaných reaktoplastů (termosetů) [6] [11]:**

- Bisfenol A (CAS 80-05-7), Bisfenol F (CAS 87139-40-0)
- Fenol formaldehydová pryskyřice (CAS 9003-35-4), cresol novolak (CAS 29690-82-2)
- Cycloaliphatic epoxidové pryskyřice (CAS 2386-87-0)



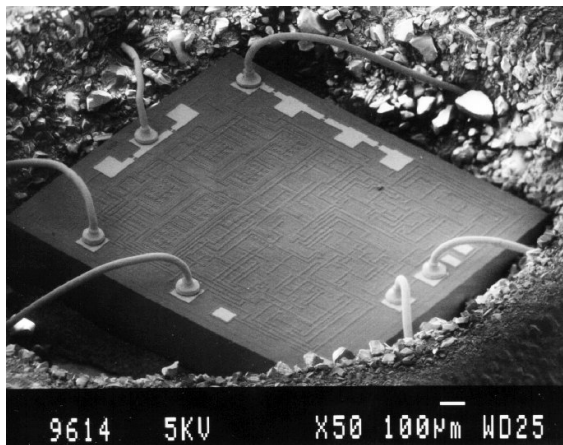
Obr. 1.1: Příklad plastového pouzdra obvodu TS 555CM v pouzdře DIP 8

Pouzďřicí materiál je velmi stabilní. K jeho odstranění je tedy zapotřebí silných kyselin. Jako perspektivní se ukazuje také laserové odpouzďování, které je z pohledu řízení procesu nesrovnatelně jednodušší. Navíc je šetrnější pro životní prostředí, protože nevznikají žádné odpadní produkty.

## 1.1 Chemické odpouzďování

Preferovaným řešením je ale stále tryskové leptání pomocí kyselin [10]. Princip tryskového leptání je v nastřikování horké kyseliny tryskou na povrch pouzdra. Tam pak dochází k chemické reakci a erozi materiálu. Vhodným maskováním lze uchovat zbytek pouzdra nedotčený.

Pro urychlení procesu se může v pouzdře předvrtat otvor, tím se sníží objem materiálu, který je třeba odleptat. Při předvrtávání je ale potřeba dbát na hloubku vrtu, aby nedošlo k poškození čipu. Nejvhodnějším postupem stanovení hloubky vrtu je profilový rentgenový snímek. Z něj se zjistí jak přesná pozice čipu, tak i propojovacích (bondovacích) drátků.



Obr. 1.2: Čip odpouzdřený pomocí tryskového leptání [10]

Přesný postup leptání se ale vždy volí podle toho, jakou analýzu chceme na čipu následně provádět. Pokud chceme provádět měření na funkčním systému, musí se použít takový proces, který udrží pouzdro pohromadě a nenaruší bondovací drátky. V případě, že chceme čip použít pro následný deprocessing, je žádoucí odleptání celého pouzdra. To provedeme ponořením celého pouzdra do kyseliny. Předtím se zpravidla odstraňují kovové vývody, které by se zbytečně účastnily chemické reakce a proces leptání by brzdily.

#### Nejpoužívanější kyseliny:

- kyselina sírová  $\text{H}_2\text{SO}_4$  98% (CAS 7664-93-9)
- kyselina dusičná dýmavá  $\text{HNO}_3$  (CAS 7697-37-2)

Volba správné kyseliny je závislá na typu použitého polymerního materiálu pouzdra. Například dýmavá kyselina  $\text{HNO}_2$  je používána na fenolové typy pryskyřic. Pro větší reaktivnost jsou kyseliny zahřívány až k blízkosti bodu varu. U  $\text{H}_2\text{SO}_4$  se procesní teplota pohybuje mezi 280-290°C, v případě kyseliny dusičné mezi 78-80°C [10].

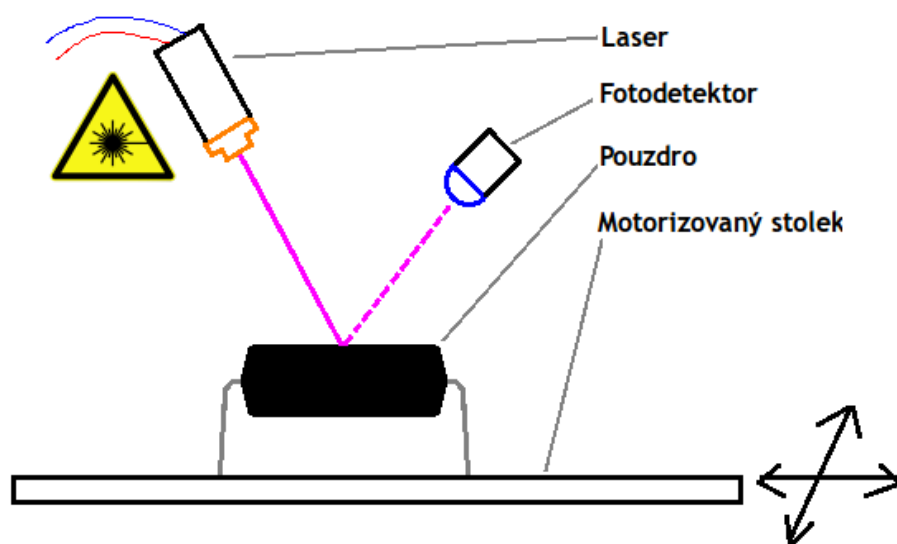
Samotný křemík (Si) a jeho oxid ( $\text{SiO}_2$ ) je vůči těmto kyselinám netečný. Problém ale nastává s propojovacími drátky. Materiály používané pro tyto drátky jsou vesměs hliník a zlato [11]. Zlato jako ušlechtilý kov také nijak nereaguje. V případě hliníku je

nutno použít kyseliny vysoce koncentrované, reakcí dojde k vytvoření vrstvy oxidu která pak zabraňuje další reakci - povrch je pasivován.

## 1.2 Laserové odpouzdřování

Princip této metody je v narušování polymerních vazeb materiálu pouzdra pomocí výkonného laseru.

Integrovaný obvod je umístěn do pracovní komory na motorizovaný stolek (osa X,Y). Pod úhlem je na něj namířen infračervený nebo YAG laser (yttrito-hlinitý granát). Intenzita laseru se volí taková, aby došlo k narušení síťových polymerních vazeb. Exponované místo je ofukováno dusíkem aby se průběžně odstraňoval odprášený materiál. V pracovní komoře je také umístěný fotodetektor, který pokud detekuje odražený paprsek od čipu, dá impuls k zastavení odprašování a proces je u konce. Vše je řízeno počítačem [6].

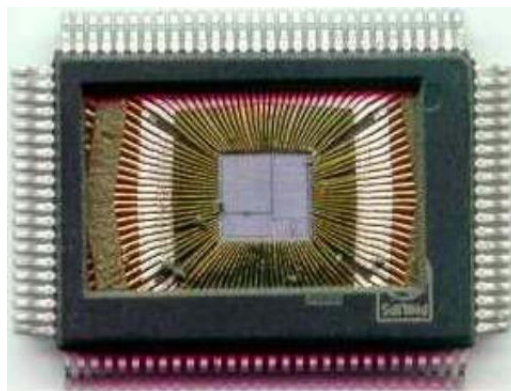


Obr. 1.3: Uspořádání systému při laserovém odpouzdřování.

## 1.3 Praktická část

Odpouzdřování v amatérských podmínkách popsal ve své práci [9] M. Schobert. Použil metodu zahřívání pouzdra v kalafuně nad lihovým kahanem. Kvůli hustší konzistenci a sytě černé barvě není úplně snadné čip následně mezi zbytky pouzdra najít. Tato metoda byla po prvních zkouškách zavržena.

Jako mnohem účinnější metoda bylo zvoleno chemické odpouzdřování za pomoci běžně dostupné kyseliny sírové. Při práci s ní je nutno dbát zvýšené opatrnosti



Obr. 1.4: Odkryté QFP pouzdro pomocí YAG laseru [12]

a používat ochranných pomůcek, během zahřívání  $\text{H}_2\text{SO}_4$  je navíc nutné provádět práci v digestoři, který odvádí nebezpečné výpary.

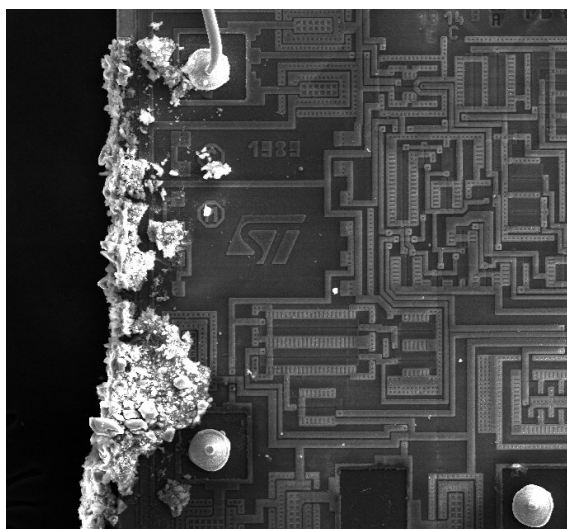
Řízení reakce je obtížné, protože dopředu neznáme přesné složení pouzdríciho materiálu. Nezbyvá než určit potřebnou dobu leptání experimentálně.

První pokus o odpouzření čipu byl proveden s 50 ml 98% kyseliny sírové. Dva vzorky integrovaných obvodů (ST 555CM) v plastovém pouzdře byly vystaveny kyselině při pokojové teplotě po dobu 52 hodin. Reakce však byla velmi slabá a pouzdro zůstalo téměř neporušeno.

Protože při pokojové teplotě probíhal proces velmi pomalu, přistoupil jsem k zahřátí kyseliny pro zvýšení reaktivity. Opět bylo použito 50 ml kyseliny, která byla zahřáta nad propanbutanovým kahanem na teplotu blízkou varu (cca pod 300 °C). Po vložení vzorků nastala viditelná reakce. Čirá kyselina se zabarvila do černa, což indikovalo probíhající reakci s materiálem pouzdra.

Po provedení sérií/několika testů na pouzdrech od různých výrobců (TESLA MH7404, Atmel ATmega8, ST 555CM a dalších) je možné konstatovat, že za dobu 15 minut dojde k odpouzření většiny z nich. Vyjímkou jsou jen starší součástky tesla, kde se pravděpodobně používal hodně odlišný pouzdríci materiál.

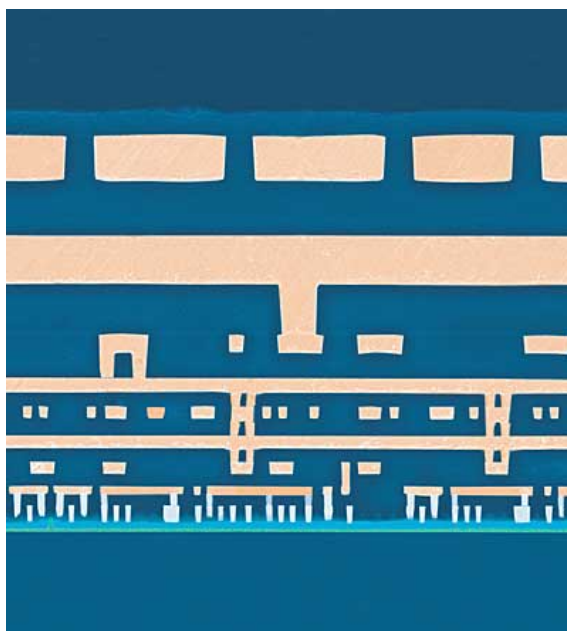
Případná rezidua pouzdra je možné z čipu poměrně snadno odstranit v čistící ultrazvukové lázni.



Obr. 1.5: Mikroskopický snímek zbytků pouzdra

## 2 DELAYERING

Integrované obvody sestávají z několika propojovacích vrstev izolovaných od sebe převážně oxidem křemičitým -  $\text{SiO}_2$  (Viz 2.1). Vzhledem k dnešní vysoké hustotě integrace bývá jejich počet až k desíti a neustále roste. Pro další vyhodnocování je tak potřeba získat obrázek každé vrstvy. Metody jak toho dosáhnout lze rozdělit do dvou základních kategorií. Jsou to mechanický nebo chemický proces. Trendem dnešní doby je kombinace obou výše zmíněných procesů - plasmové leptání [3]. Uplatňuje se pro svoji vysokou anizotropnost a šetrností k životnímu prostředí.



Obr. 2.1: Kolorovaný mikrovýbrus čipu pořízení pomocí rastrovacího elektronového mikroskopu [1].

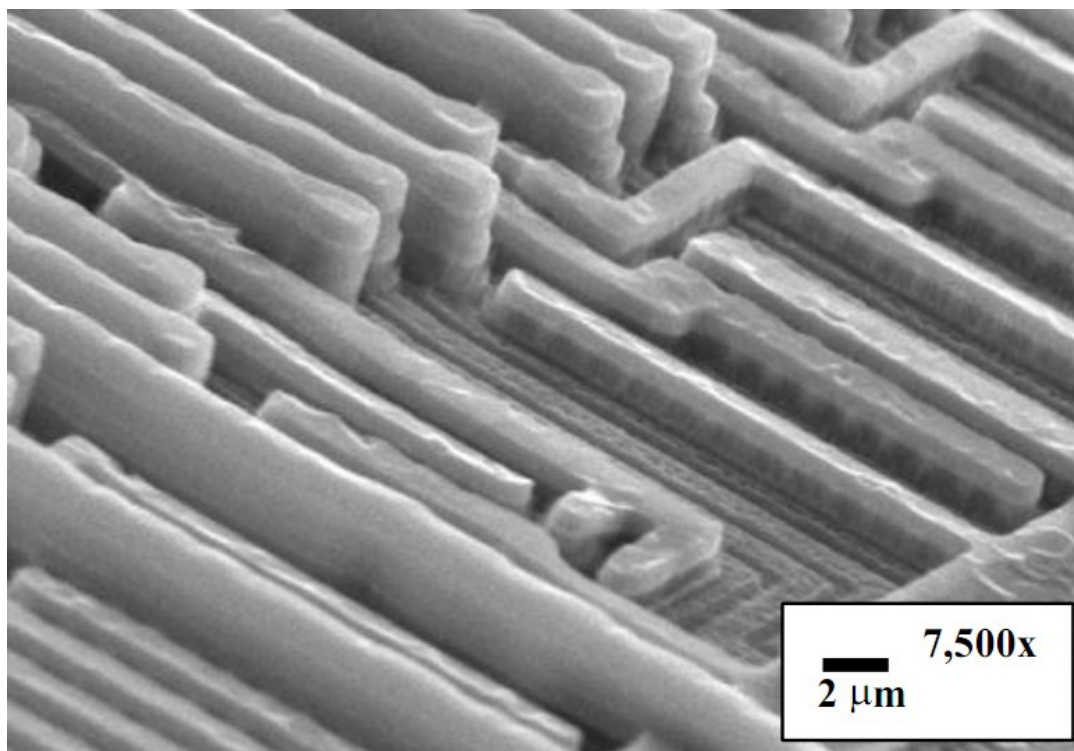
Je potřeba si uvědomit, že se jedná o vrstvy o tloušťce v řádu jednotek mikrometrů i méně.

### 2.1 Chemické metody

Jeden z hlavních materiálů, který je třeba při odstraňování vrstev odleptat je  $\text{SiO}_2$ . Ten je odolný téměř vůči všem kyselinám, až na kyselinu fluorovodíkovou (HF). Velikým nedostatkem při použití této kyseliny je izotropnost leptání. Dochází k podleptávání vodivého motivu a ten se vlivem pnutí deformuje a rozpadá. Proto při dnešním stupni miniaturizace už nedokáže podat spolehlivé výsledky a ustupuje se od jejího používání. [3] Problémy nastávají i se selektivitou leptání. Oxid křemičitý leptá sice

velice dobře, ale stejně tak dobře leptá i kovy. Navíc je extrémně toxická, patří do skupiny látek s označením T+.

## 2.2 Reaktivní iontové leptání



Obr. 2.2: Vodivý motiv odkrytý metodou RIE.[3]

V případě reaktivního iontového leptání (RIE) je vzorek umístěn do elektromagnetického pole RF generátoru pracujícího obvykle na průmyslové frekvenci 13.56 MHz a výkonem v řádu stovek wattů. Střídavé elektrické pole ionizuje připouštěný plyn (fluor) - vznikne plasma. Na rozdíl od iontů, volné elektrony v plazmatu stíhají reagovat na střídavě se měnící pole. Pohybují se tedy tam a zpět mezi elektrodami a pokud se stane, že dopadnou na povrch vzorku (nevodivé  $\text{SiO}_2$ ), tak ten se začne nabíjet. Až je povrchový náboj vzorku dostatečně velký, začnou být k povrchu přitahovány kladně nabitě ionty plazmatu. Ty na povrchu reagují jednak chemicky a zároveň jak jsou elektrickým polem z nabitě oblasti urychlovány k povrchu, předávají svoji kinetickou energii, která pokud je dostatečná, může narušit vazební síly v odstraňovaném materiálu [3].



## 2.3 Mechanické odstraňování vrstev

Mechanický proces je z hlediska náročnosti nejtěžší metodou. Skrývá totiž jedno úskalí - koplanaritu mezi broušeným čipem a brusným papírem/látkou. Pokud by nebyla dodržena, došlo by k nerovnoměrnému broušení jednotlivých vrstev. V průmyslu používané přístroje (obrázek 2.3) obsahují precizní mechaniku s mikrometry pro srovnávání a řízení procesu.

Důležitým parametrem je také velikost brusného zrna. Profesionální stroje určené přímo pro deprocessing integrovaných obvodů používají zrna o velikosti 0.05  $\mu\text{m}$  [5]. Pořízení takového stroje je velice nákladné, ne ovšem nezbytné. Pro dosažení přijatelných výsledků lze v amatérských podmínkách použít jako alternativu jemný brusný papír. Při průběžném sledování pod mikroskopem je brusné zrno menší než 1  $\mu\text{m}$  plně dostačující [4]. Pro zjemnění se broušení provádí pod vodou nebo isopropylalkoholem.



Obr. 2.3: přístroj MultiPrep™.[5]

## 2.4 FIB

Fokusuovaný iontový svazek (FIB) - technika hojně používaná v polovodičovém průmyslu a materiálových vědách. Princip je velice podobný elektronovému mikroskopu, tzn. primární svazek skenuje po povrchu preparátu. Hlavním rozdílem je použití svazku iontů namísto elektronů. Ionty mají oproti elektronům mnohem větší hmotnost a tím pádem i kinetickou energii, toho se využívá pro odprašování materiálu.

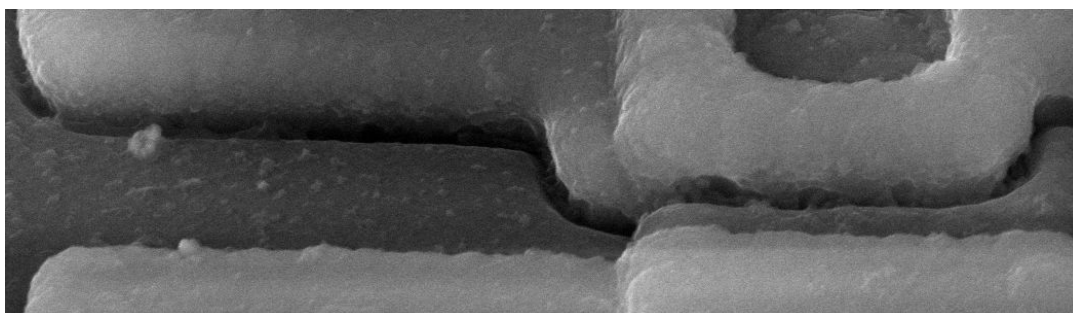
Materiál (kovy i izolanty) lze i selektivně nanášet chemickou depozicí (CVD), na čípech se tak může provádět editace zapojení obvodu bez nutnosti vytváření nového prototypu čipu. Na rozdíl od metody RIE je iontům exponována jen zvolená část vzorku. FIB může být provozován samostatně, ale většinou je kombinován právě s elektronovým mikroskopem.

Umožňuje *in situ* analýzu defektů a ověřování návrhu integrovaných obvodů.

## 2.5 Praktická část

Pro porovnání vlastností jednotlivých metod byly provedeny zkoušky chemického a mechanického odvrstvování.

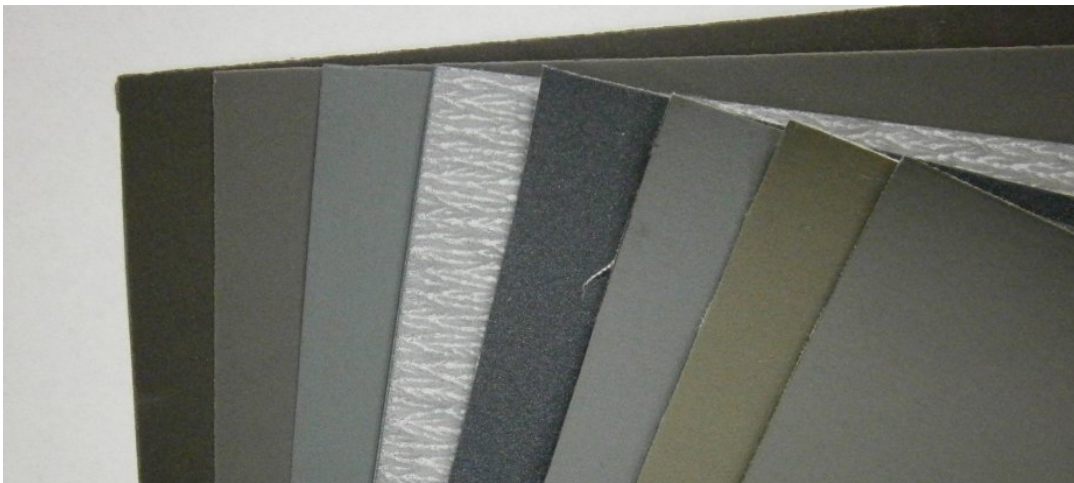
Leptání pomocí kyseliny fluorovodíkové se ukázalo jako nevhodná metoda. A to jak z důvodu vysoké toxicity a s tím spojené nesnadné manipulace, tak i sklonem k podleptávání vodivého motivu což je viditelné na obrázku 2.4. K dispozici byla kyselina fluorovodíková v 7% koncentraci. Ta při teplotě 66 °C leptala  $\text{SiO}_2$  rychlostí 120 nm za minutu. Rychlost leptání silně závisí na teplotě a dané koncentraci HF.



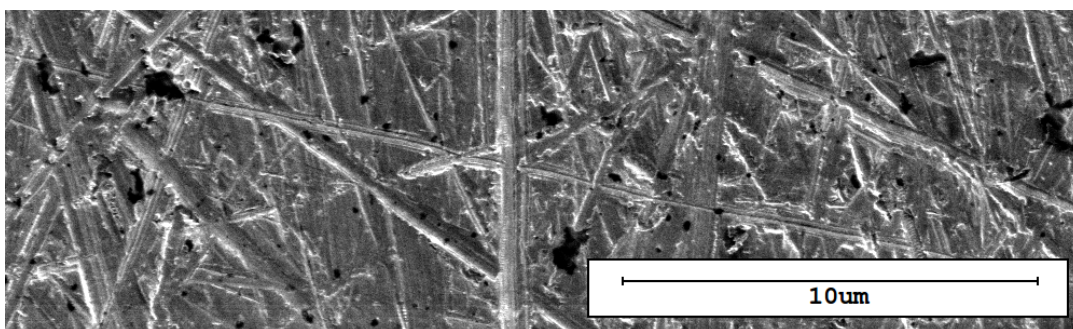
Obr. 2.4: Podleptání vodivých cest kyselinou fluorovodíkovou

Mnohem lepších výsledků bylo dosaženo mechanickým odstraňováním vrstev. Jedinou komplikací je udržet paralelnost mezi čipem a brusným povrchem. Na zkušebních čípech (ST 555CM, rok 1985) bylo broušení pomocí brusného papíru o zrnitosti 2000 zrn/ $\text{cm}^2$  plně dostačující. Při pokusech o broušení novějších čipů s vyšším stupněm integrace se však ukázalo, že zrnitost 2000 zrn/ $\text{cm}^2$  již není dostačující. Proto byla objednána sada ještě jemnějších brusných pláten používaných pro metalografii, nebo pro leštění optických kabelů. Celkově bylo vyzkoušeno osm různých pláten které vidíme na obrázku 2.5. Jedná se o zrnitosti 800, 1200, 2000, 2000 s abrazivem, 3200, 6000, 8000 a 12000 zrn/ $\text{cm}^2$  bráno od levé strany obázku.

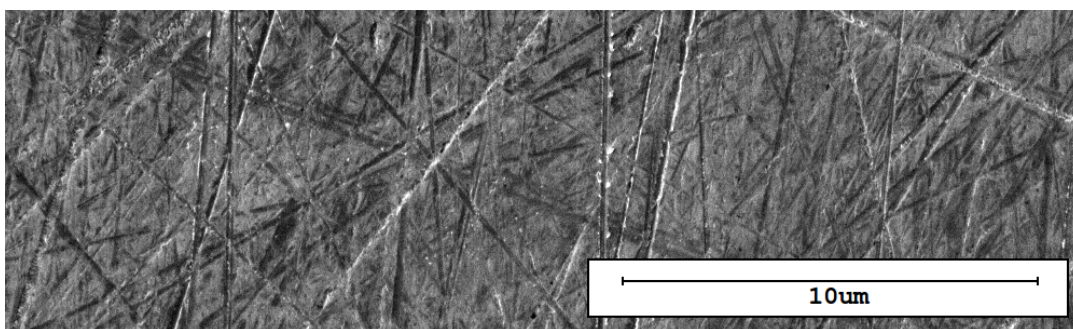
Rozdíly mezi výslednou kvalitou povrchu jsou značné. Na následující ukázce vidíme povrch tří křemíkových destiček zobrazených pomocí elektronového mikroskopu, každá broušená jiným typem brusného plátna. Pro zobrazení bylo použito nízké urychlovací napětí (1kV), aby vinikla topografie povrchu.



Obr. 2.5: Sada otestovaných brusných plátén

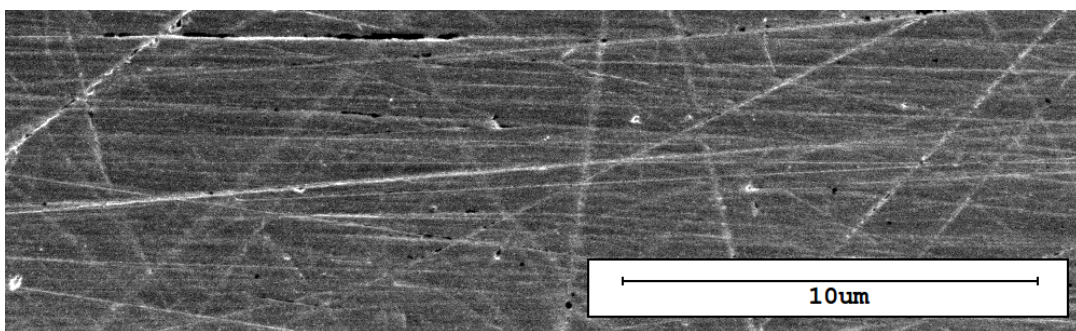


Obr. 2.6: Povrch Si broušený pomocí plátna 3200 zrn/cm<sup>2</sup>



Obr. 2.7: Povrch Si broušený pomocí plátna 6000 zrn/cm<sup>2</sup>

Se zvyšující se zrnitostí neúměrně stoupala doba potřebná ke zbroušení jednotlivých vrstev. Manuální broušení čipu s plátnem o zrnitosti 3200 zrn/cm<sup>2</sup> je téměř nemožné a časově náročné. Proto byl vyroben přípravek na upnutí plátna do pomaloběžné vrtačky, který proces značně urychlil a umožnil dosahovat reprodukovatelných výsledků (sledováním času broušení).



Obr. 2.8: Povrch Si broušený pomocí plátna 12000 zrn/cm<sup>2</sup>

## 3 SBĚR DAT

Snímání obrazu je další neméně důležitou činností při RE. Můžeme mít perfektně připravený vzorek, ale pokud z něj nedokážeme vytěžit potřebné informace, ztrácí na hodnotě. Na výběr jsou dvě možnosti zobrazování - optická a elektronová mikroskopie. Výběr metody pozorování částečně předurčuje limit optické mikroskopie, kde je rozlišovací schopnost zdola omezena vlnovou délkou světelného záření. Za použití kvalitních objektivů a imerzních olejů je možné se s rozlišením dostat i na 200 nm. Se zvyšujícím se zvětšením se zmenšuje zorné pole, které je mikroskop schopný zobrazit. Pro zmapování celého čipu se tak musí v maticové struktuře pořídit série menších snímků a ty pak spojit pomocí vhodného SW dohromady.

### 3.1 Optická mikroskopie

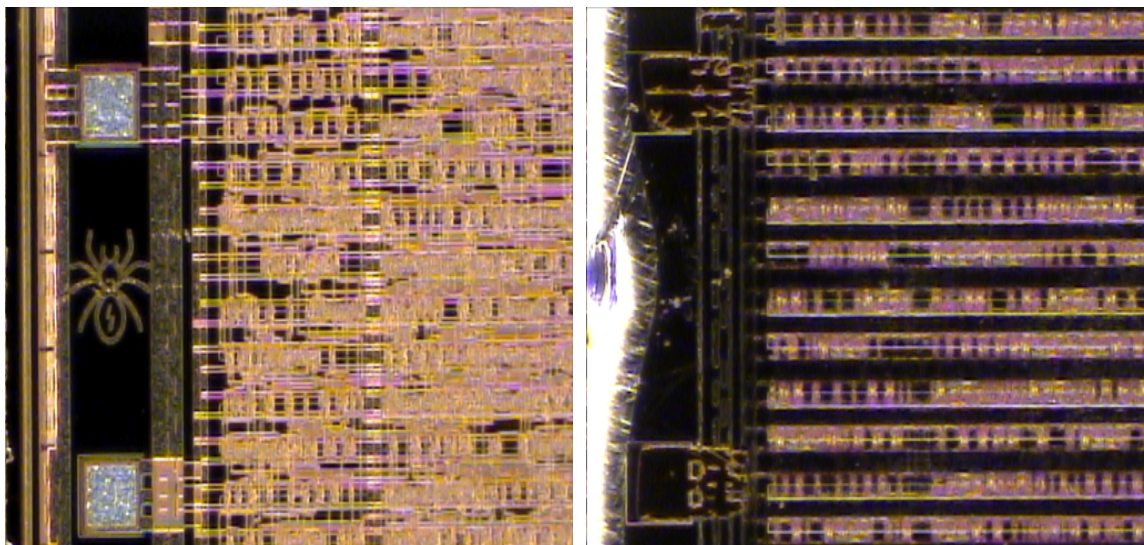
Optická mikroskopie má nesmírnou výhodu v tom, že umožňuje pořizovat barevné snímky, je tak jednoduché od sebe rozlišit jednotlivé vrstvy a materiály. Navíc  $\text{SiO}_2$  které tvoří izolační výplň mezi vrstvami čipu je průhledné. Pro maticové snímání povrchu čipu musí být mikroskop vybaven polohovatelným stolcem. Při ruční posuvu čipu bychom nebyli schopni eliminovat nežádoucí rotaci čipu mezi jednotlivými snímky a následně by nešlo snímky spojit. Dále musí být mikroskop vybaven záznamovou kamerou s rozlišením alespoň v megapixellech. Na obrázku 3.1 vidíme čip zvětšený 84x a vyfocený pomocí CMOS kamery s rozlišením 512x384 pixelů.

### 3.2 Elektronová mikroskopie

Protože  $\text{SiO}_2$  je izolant, dochází k postupné akumulaci náboje na povrchu preparátu a kvalita obrazu se zhoršuje. Dochází jednak ke změnám kontrastu, ale hlavně se objevuje nepříjemný efekt zkreslení (deformace obrazu). Viz obrázek 3.2 To komplikuje následné spojování jednotlivých snímků dohromady. Použitím nižších urychlovacích napětí jde tento efekt částečně minimalizovat. Při praktické zkoušce se ukázal 20% přesah mezi snímky jako dostačující a bylo již možné snímky uspokojivě spojit.

Narozdíl od optické mikroskopie je u elektronového mikroskopu vidět jen částečně do hloubky (v závislosti na materiálu a urychlovacím napětí). Ale i tak je hloubka vniku elektronu maximálně několik um.

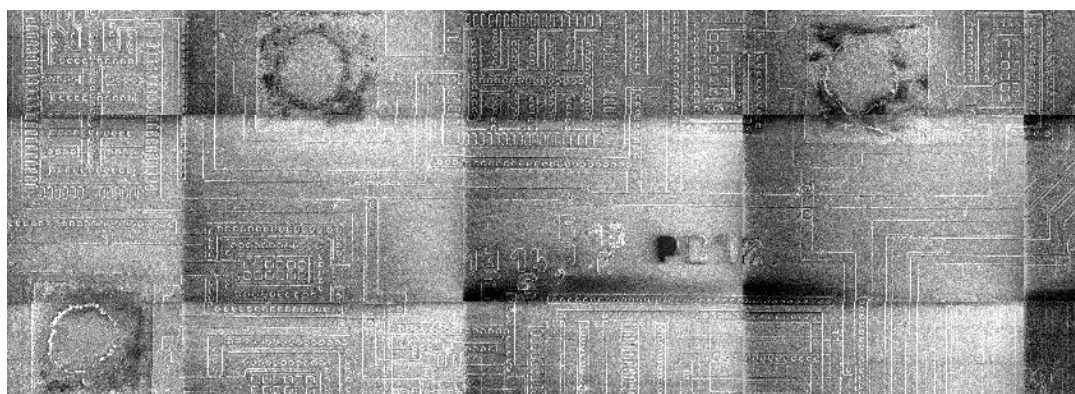




(a) Čip před odstraněním vrstvy

(b) Čip po odstraněním vrstvy

Obr. 3.1: Čip zobrazený pomocí optického mikroskopu před a po odstranění propojovacích vrstev.



Obr. 3.2: Efekt nabíjení vzorku na výslednou koláž

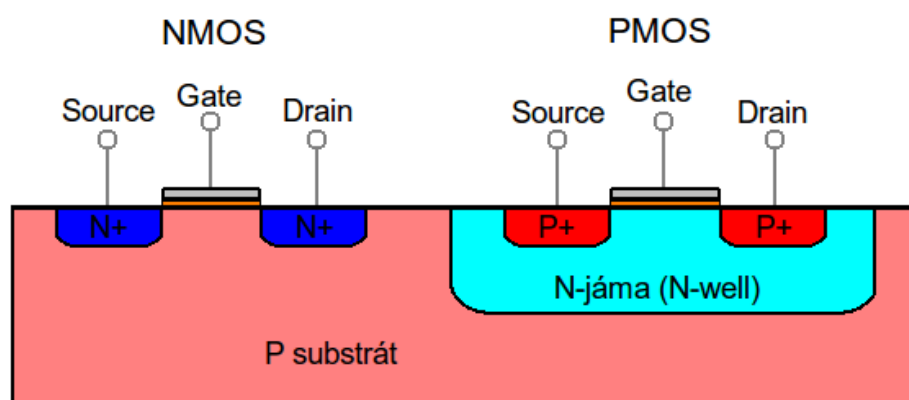
### 3.3 Praktická část

Pro zautomatizování procesu byl použit software MAPS od společnosti FEI Company. Tento SW umožňuje plně automaticky zmapovat rozsáhlé oblasti preparátu, které přesahují zorné pole mikroskopu. V prvním kroku se zadefinuje oblast zájmu na preparátu a SW pak v maticovém uspořádání snímá jeden snímek za druhým. Výstupem je pak jeden snímek ve velkém rozlišení. V příloze B.1 je vidět takto získaný snímek dodaného čipu pomocí elektronového mikroskopu (při urychlovacím napětí 2kV). Ten je složený z matice 9x8 snímků a výsledný rozměr je 20180x15127 pixelů.

## 4 CMOS TECHNOLOGIE

### 4.1 MOS tranzistor

Jedná se o plem řízený tranzistor. Přiložené napětí na hradle (Gate), které je izolováno tenkou vrstvou izolantu, vytváří elektrické pole, které řídí vodivost polovodičového kanálu umístěného mezi elektrodami Source a Drain. Kanál může být n-typu nebo p-typu, pak hovoříme o NMOS či PMOS tranzistoru. MOS tranzistor může být buď s indukovaným nebo trvalým kanálem (vytvořený při výrobě) [13]. Samotná struktura je tvořena sendvičovým uspořádáním vodivých, izolačních a polovodičových materiálů. Dále se omezíme na nejrozšířenější n-well proces (substrát typu p) s tranzistory s indukovaným kanálem (obrázek 4.1).



Obr. 4.1: Tranzistor NMOS a PMOS při technologii n-well

Základem NMOS tranzistoru je polovodičový substrát (v našem případě p-vodivost). V něm jsou vytvořeny dvě identické n oblasti (source a drain) s vysokou dotací ( $n^+$ ). Mezi nimi je prostor který nazýváme kanál. Nad kanálem je umístěna Gate elektroda která je izolována tenkou vrstvou většinou  $\text{SiO}_2$ . U PMOS je to podobné s tím rozdílem, že gate a source jsou tvořeny polovodičem opačné dotace ( $p^+$ ). Navíc je celý tranzistor umístěn do jámy typu n (n-well).

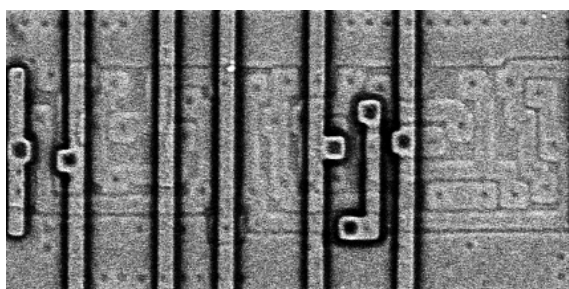
Elektrody source a drain jsou identické, lze tak propojovat více tranzistorů do série. Gate prvního tranzistoru může sloužit jako source druhého.

Pokud se při výrobním procesu implementují NMOS a PMOS tranzistory, hovoříme to komplementární MOS technologii - CMOS.

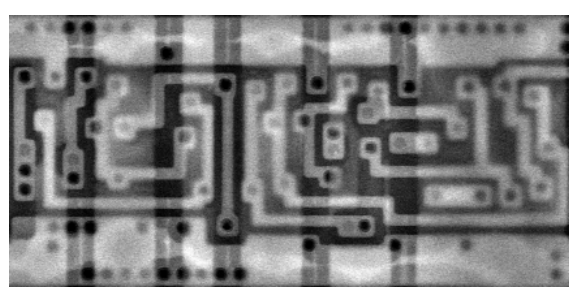
## 4.2 Praktická část - rekonstrukce části obvodu

Rozeznat mezi sebou tranzistory typu PMOS a NMOS je možné podle rozdílné velikosti kanálů. PMOS je zpravidla větší než NMOS. Platí totiž že u NMOS se uplatňuje elektronová vodivost, která je mnohem větší než děrová vodivost u PMOS.

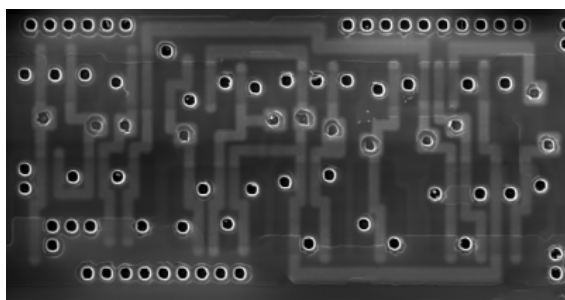
Na následující sérii snímků vidíme jednotlivé vrstvy, které posloužili pro rekonstrukci části obvodu. Zkoumaný čip má dvě vodivé vrstvy (Metal 2 - Obr. 4.2a, Metal 1 - Obr. 4.2c) k propojení mezi tranzistory. Pod nimi je motiv z polykrystalického křemíku (Poly- Obr. 4.2b) tvořící Gate tranzistorů a v minimální míře i propoje mezi Gate jednotlivých tranzistorů. Na posledním snímku je částečně vidět i oblasti s rozdílnými dopanty.



(a) Vrstva Metal 2



(b) Vrstva Metal 1



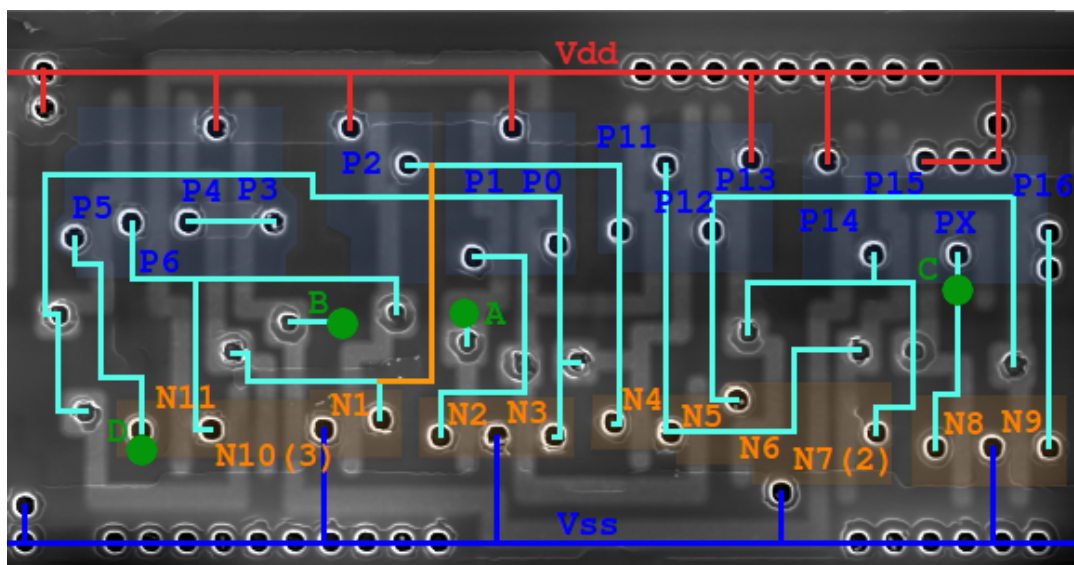
(c) Vrstva Poly

Obr. 4.2: Jednotlivé vrstvy dodaného čipu.

Elektrické propojení mezi jednotlivými vrstvami je vytvořeno pomocí prokův (Vias), které jsou na obrázku 4.2c zřetelné viditelné jako černé kruhy.



Pro rekonstrukci byla vybrána jedna složitější log. buňka. Pro usnadnění rekonstrukce obvodu pak byl vytvořen obrázek 4.3 kombinující všechny vrstvy do jednoho obrázku. Pro dodržení konvence je kladná napájecí větev (Vdd) na horní straně obrázku, záporná (Vss) pak vede ve spodní části.



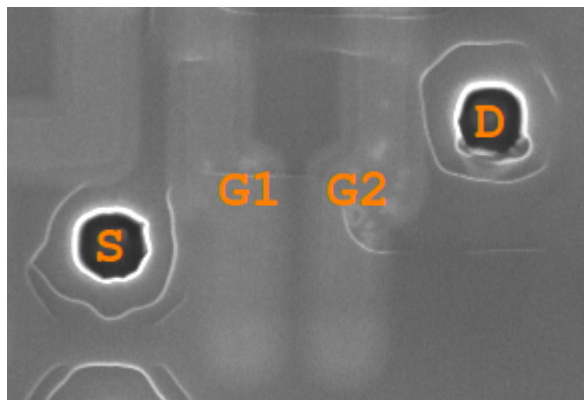
Obr. 4.3: Rekonstrukce standardní buňky flip-flop.

#### Legenda k obrázku 4.3.:

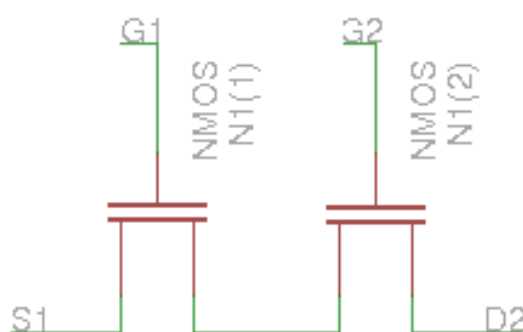
- červená - Vdd
- modrá - Vss
- oranžová - Metal 2
- světle modrá - Metal 1
- zelená - vstupní/výstupní porty

Pro určení vstupních a výstupních portů je dobré začít u portů vedoucích na gate tranzistorů. U těch lze předpokládat že se jedná o vstupy. Jak je vidět z obrázku, přímo na Gate vedou porty A a B. Navíc při pohledu na celý čip je vidět, že tyto dva signály vedou dále přes celý čip. To pak dává tušit, že se bude jednat o hodinový signál (CLK) a reset (RST)

Pokud se jedná o tranzistor, který má více hradel, je lepší ho pro přehlednost ve schématu nahradit pomocí samostatných tranzistorů. Viz obrázek 4.4 kde je dvouhradlový NMOS tranzistor a v obrázku 4.5 je pak vyobrazeno jeho obvodové zapojení.

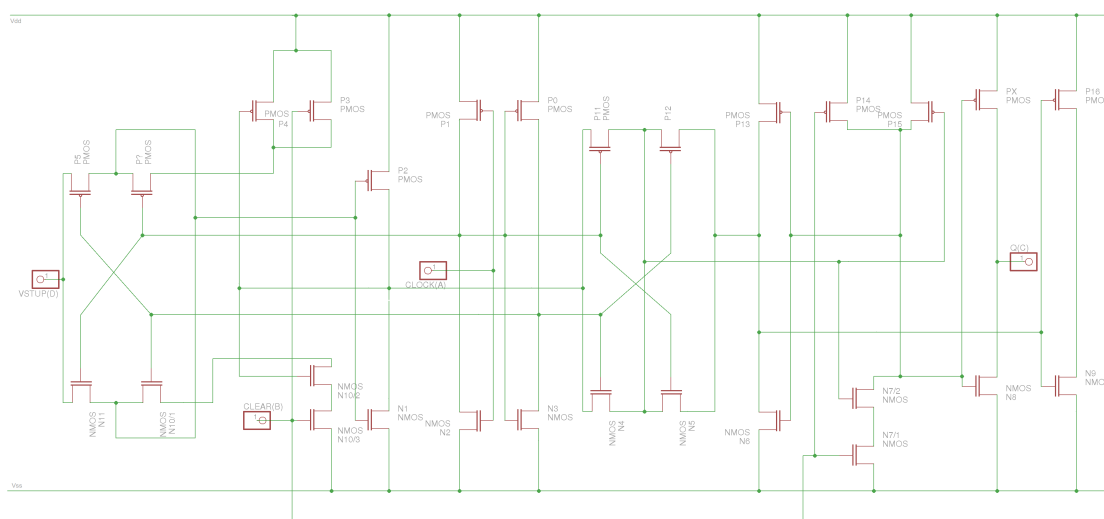


Obr. 4.4: NMOS tranzistor s dvojitou Gate elektrodou.



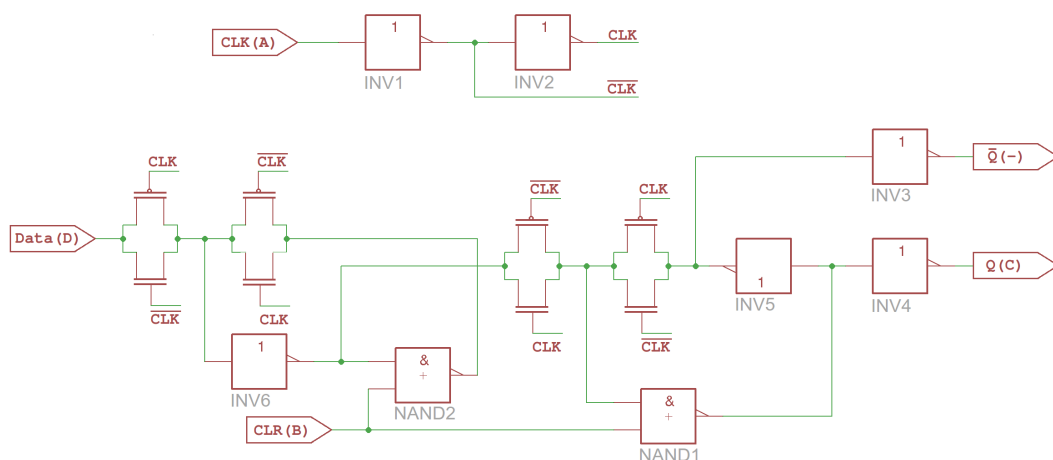
Obr. 4.5: Náhradní schéma NMOS s dvojitou Gate elektrodou.

Po překreslení do schématu vypadá obvod následovně:



Obr. 4.6: Schéma rekonstruované části obvodu.

Takovéto schéma ale nic nevypovídá o funkci daného obvodu. Proto je nutné ho zjednodušit na základní logické obvody (Viz Obr. 4.7).



Obr. 4.7: Schéma rekonstruované části obvodu.

Ze schématu 4.7 je už jasně patrné, že se jedná o bistabilní klopný obvod (flip-flop).

Pro následnou celkovou rekonstrukci obvodu čipu lze použít program Degate [8], který je určen přímo pro tyto účely. Obsahuje automatické rozpoznávání obrazu a je schopný podle naučené šablony rozpoznat jak jednotlivé logické funkce, tak i propojovací cesty. Na obrázku C.1 v příloze C je vidět, jak automatiky rozpoznal všechny flip-flop obvody naučené podle šablony 4.2b. Rozpoznávání trvalo na počítači s taktem procesoru 2.16 GHz a 4 GB operační paměti 6 hodin.

Pro digitální logiku jde zadefinovat i funkční popis buněk v jazyce VHDL. Export z programu jde tak nahrát přímo do FPGA obvodu.

## 5 LAYOUT IO

Pro další zpracování a vyhodnocování dat získaných v předchozích krocích je vhodné mít možnost přímého srovnání s layoutem IO zadaného do výrobního procesu. Návrhových prostředí, ve kterých lze návrh IO provádět je vícero, ale pro snadný přenos do výrobního procesu bylo nutno specifikovat jednotný formát. V dnešní době je nejrozšířenějším formát GDSII.

GDSII (Graphic Database System II) je databázový formát který se stal v průběhu let de facto průmyslovým standardem pro přenos layoutu integrovaných obvodů a mikromechanických systémů mezi návrhovém prostředím a výrobním procesem. Tento formát původně vytvořený společností Calma pro tvorbu fotomasek IO je dnes ve vlastnictví Cadence Design Systems. Strukturální popis formátu je ale přes to veřejně dostupný, a proto vedle komerčních produktů vznikla i řada neplacených editorů a prohlížečů.

V posledních letech se začíná objevovat i formát OASIS (Open Artwork System Interchange Standard) kterému je předpovídáno, že by GDSII časem mohl nahradit.

### 5.1 GDSII

GDSII je binární formát, ve kterém jsou v hierarchické podobě uloženy geometrické tvary, textové popisky a další údaje reprezentující výsledný layout obvodu. Hierarchie se s výhodou používá pro snížení velikosti výsledného souboru, protože integrované obvody většinou obsahují velký počet stále se opakujících unifikovaných buněk či bloků. I tak vzhledem k omezené sadě funkcí při rozsáhlejším layoutu narůstá velikost výsledného souboru do řádů GB.

Vzhledem k tomu, že definice hierarchie není v dokumentaci formátu nikterak striktní, nastává problém při parsování takového souboru. Může se pak stát, že při načítání dat narazíme na referenci ke struktuře, která ještě není definována. To značně komplikuje zpracování dat, protože nelze provést jen jednu iteraci nad souborem dat. Dále není specifikována žádná hlavní struktura, od které by se soubor začal vykreslovat. Jednoduše se za hlavní struktury považují takové, na které není žádná reference. Hlavních struktur může být tedy více a můžou být v souboru uloženy na jakékoliv pozici.

### 5.2 Popis GDSII

Soubor GDS je tedy kolekcí záznamů o různých délkách, kde minimální délka záznamu jsou 4 byty. Maximální délka záznamu je  $2^{16}$  bytů a celkově může soubor obsahovat neomezený počet záznamů.

Každý záznam je tvořen 4-bytovou hlavičkou. První 2 byty hlavičky určují délku záznamu (včetně 4 bytů hlavičky), zbylé 2 byty pak identifikují o jaký typ záznamu se jedná a jaký je datový typ záznamu. Struktura hlavičky je přehledně shrnuta v následující tabulce 5.1.

Tab. 5.1: Struktura hlavičky záznamu

Bit č.:	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
<b>1. slovo</b>	Délka záznamu															
<b>2. slovo</b>	Typ záznamu								Datový typ							

**Datové typy záznamů** Možných variant datových typů záznamů je sedm, aktivně je ale používáno jen šest z nich. V aktuální revizi GDSII v6.0 je totiž typ záznamu 0x04 (4bytové reálné číslo) označen jako zastaralý. Přehled datových typů je uveden v tabulce 5.2.

Tab. 5.2: Datové typy

Datový typ	Hodnota
žádná data	0x00
bitové pole	0x01
2 bytové celé číslo + znaménko	0x02
4 bytové celé číslo + znaménko	0x03
4 bytové reálné číslo	0x04 (nepoužito)
8-bytové reálné číslo	0x05
ASCII řetězec	0x06

Při bližším pohledu do GDSII souboru zjistíme, že nejvíce používaným typem je 8 bytové reálné číslo používané převážně pro určování souřadnic prvků v layoutu. Proto se na jeho popis zaměříme blíže.

Reálné 8-bytové číslo (typ 0x05) se skládá se ze tří částí, znaménka (1 bit), mantisy (7 bytů) a exponentu (7 bitů). Výsledné desetinné číslo je definováno ve tvaru:  $Mantisa * 16^{exponent-64}$ .

Mantisa začíná od bitu 8 a kterému odpovídá číselná hodnota 1/2 (0.5), bitu 9 odpovídá 1/4, bitu 10 odpovídá 1/8 a tak dále až k poslednímu bitu.

Ukázka struktury 8 bytového čísla kde Z je znaménko, E je exponent a M je mantisa.

```

ZEEEEEEE MMMMMMMM MMMMMMMM MMMMMMMM
MMMMMMMM MMMMMMMM MMMMMMMM MMMMMMMM

```

Pro příklad číslo 1.7 je zakodováno následovně:

```
01000001 00011011 00110011 00110011
00000000 00000000 00000000 00000000
```

rozebráním na jednotlivé prvky dostáváme:

znaménkový bit = 0 (+)

exponent = 65

$\text{mantisa} = 1/16 + 1/32 + 1/128 + 1/256 + 1/2048 + 1/4096 + 1/32768$   
 $+ 1/65536 + 1/524288 + 1/1048576 + 1/8388608 + 1/16777216 = 0.106281$

Výsledné číslo je pak rovno  $0.106281 \times 16^{65-64} = 1.7$

Co se týče dvou a čtyřbitových celých čísel (typ 0x02 a 0x03), to jsou již klasická čísla v dvojkové soustavě. Záporná čísla u nich jsou reprezentována dvojkovým doplňkem.

ASCII řetězec - textový záznam (typ 0x06) Každé písmeno je reprezentováno jedním bytem a pokud má výsledný řetězec lichý počet znaků, je vždy doplněn o nulový byt (0x00).

**Typy záznamů** Dokumentace zmiňuje 59 typů záznamů. Protože definice formátu vznikla před více jak 20 lety, je značná část záznamů vztažena k ukládání na pásku. V aktuální revizi 6.0 je tak množství záznamů označeno jako nepoužitých nebo zastaralých.

Uvádět výčet a popis všech používaných záznamů by zabralo několik stran, proto se omezíme jen na ty základní (tabulka 5.3), ze kterých se vytváří téměř každý layout. Zbytek lze najít v dokumentaci [2] GDSII formátu .

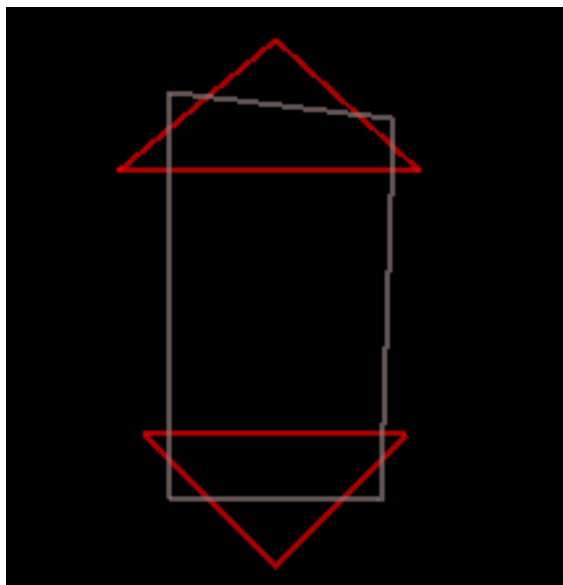
Tab. 5.3: Typy záznamů

Typ záznamu	Datový typ	Název	Popis
0x00	0x02	HEADER	Verze GDS souboru
0x01	0x02	BGNLIB	Začátek GDS databáze
0x02	0x06	LIBNAME	Jméno databáze
0x03	0x05	UNITS	Definice jednotek
0x05	0x02	BGNSTR	Začátek struktury
0x06	0x06	STRNAME	Jméno struktury
0x08	0x00	BOUNDARY	Polygon
0x09	0x00	PATH	Cesta
0x0A	0x00	SREF	Reference
0x0D	0x02	LAYER	Vrstva
0x0F	0x03	WIDTH	Šířka cesty
0x10	0x03	XY	Souřadnice

**Ukázka GDSII souboru** Na obrázku 5.1 vidíme demonstrativní ukázkou, jak vypadá jednoduchý GDSII soubor otevřený v hex editoru. Soubor obsahuje tři polygony. Červeně jsou vyznačeny 4-bytové hlavičky jednotlivých záznamů. Dole (obrázek 5.2) pak vidíme grafickou reprezentaci identického souboru.

	0001	0203	0405	0607	0809	0A0B	0C0D	0E0F	0123456789ABCDEF
000	0006	0002	0005	001C	0102	0005	0009	0019	.....
010	000F	0035	000C	0005	0009	0019	000F	0035	...5.....5
020	000C	0014	0206	7465	7374	7265	6374	616E	.....testrectan
030	676C	652E	4442	0014	0305	3F28	F5C2	8F5C	gle.DB....?[]ôÁŽ\
040	28F6	3A2A	F31D	C461	1874	001C	0502	0062	(ô:*ó.Äa.t....b
050	0008	0019	000F	0035	000C	0062	0008	0019	.....5...b....
060	000F	0035	000C	000E	0606	5265	6374	616E	...5.....Rectan
070	676C	6500	0004	0800	0006	0D02	0001	0006	gle.....
080	0E02	0000	0024	1003	0000	0000	0001	86A0	.....\$......†
090	FFFF	D8F0	0001	5F90	0000	2710	0001	5F90	``Řď...□...'_..._□
0A0	0000	0000	0001	86A0	0004	1100	0004	0800	.....†.....
0B0	0006	0D02	0001	0006	0E02	0000	0024	1003	.....\$....
0C0	0000	0000	0000	EA60	0000	2AF8	0001	1170	.....ē`...*ř...p
0D0	FFFF	D120	0001	1170	0000	0000	0000	EA60	``Ň ...p.....ē`
0E0	0004	1100	0004	0800	0006	0D02	0002	0006	.....
0F0	0E02	0000	002C	1003	FFFF	E0C0	0001	7318	.....,....'řŘ...s.
100	FFFF	E0C0	0000	FA00	0000	2328	0001	01D0	``řŘ...ú...#(...Đ
110	0000	1F40	0001	7318	FFFF	E0C0	0001	7318	...@...s...řŘ...s.
120	0004	1100	0004	0700	0004	0400			.....

Obr. 5.1: Zobrazení GDSII souboru v HEX editoru



Obr. 5.2: Grafická reprezentace vzorového GDSII souboru

GDSII soubor začíná přímo 4-bytovou hlavičkou prvního záznamu. V ukázce tedy 0x00, 0x06, 0x00, 0x02. V překladu to znamená že záznam má 6 bytů, typ záznamu je HEADER udávající verzi GDSII souboru a datový typ je 2 bytové celé číslo. Když od délky záznamu odečteme 4 byty hlavičky, zbývá načíst 2 byty 0x00 a 0x05. Podle datového typu z hlavičky víme, že se jedná o 2 bytové celé číslo a můžeme ho tedy převést do desítkové soustavy a dostaneme číslo 5 (Verze GDSII 5.0). Stejným způsobem pokračujeme dále ve čtení celého souboru.

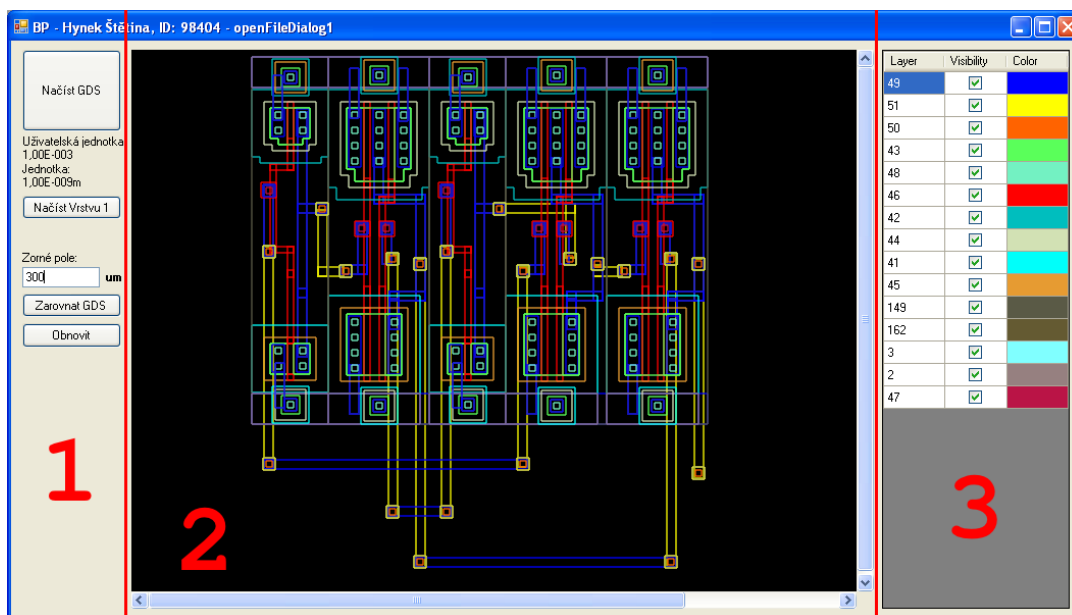
### 5.3 Program

Pro možnost porovnávání získaných struktur IO s daty návrhového prostředí byl napsán program, který toto umožňuje. Vývoj probíhal v prostředí MS Visual C++ 2008. Výsledný program umožňuje načítat jednak obrázkové snímky obvodu tak i zobrazovat layout čipů z GDSII souborů.

Základní ideou programu je načtení obrázku čipu (jakékoliv vrstvy) a přes tento obrázek mít možnost zobrazení skutečného layoutu.

**Popis programu** Na obrázku 5.3 vidíme grafické rozhraní programu. Pro jednodušší popis byl obrázek rozdělen na tři oblasti (červeně číslované). První oblast je určena pro manipulaci ze soubory. Obsahuje také vstupní pole pro určení horizontálního rozměru aktuálně načteného obrázku. To je důležité, aby bylo shodné měřítko mezi obrázkem a GDSII layoutem. Dále obsahuje tlačítko pro zarovnávání mezi layoutem a obrázkem (*Zarovnat GDS*) a také tlačítko *Obnovit*, které slouží





Obr. 5.3: Ukázka programu s načteným GDSII souborem obsahujícím hraldo XOR.

pro manuální překreslení zobrazovací plochy v případě chybného vykreslování. Po stitknutí tlačítka *Zarovnat GDS* je tak možné změnit pozici GDSII layoutu vůči obrázku.

Oblast číslo 2 je samotná zobrazovací plocha. Ta se automaticky přizpůsobuje velikosti hlavního okna programu. Poslední oblast (č. 3) zobrazuje jednotlivé vrstvy GDSII souboru. Pomocí zaškrťovacího políčka jde vypínat a zapínat viditelnost jednotlivých vrstev. Stejně tak je možné kliknutím do sloupečku s barvami změnit předdefinovanou barvu vrstvy.

Funkční program i se zdrojovým kódem lze najít na přiloženém CD (Příloha A).

## 6 ZÁVĚR

Cílem této práce bylo seznámit se s metodami reverzního inženýrství integrovaných obvodů a na dodaném čipu si tyto metody ověřit. První část práce je tak věnována popisu jednotlivých metod s následnou praktickou zkouškou. Pro odebírání jednotlivých vrstev čipu se jako nejvhodnější metoda jevílo mechanické odstraňování. A to hlavně kvůli snadnému řízení procesu a reprodukovatelnosti výsledků.

Na dodaném vzorku čipu byla dle zadání úspěšně provedena rekonstrukce vybrané části obvodu. Kromě toho byl nastíněn i směr možné celé rekonstrukce schématu čipu.

Na základě získaných dat měl být stanoven další postup vedoucí k jejich porovnání s daty návrhového prostředí (layout čipu). Pro možnost porovnání obrazových dat z čipu byl proto vytvořen program schopný načítat GDSII soubory vytvořené v libovolném návrhovém prostředí. Toho může být využito pro příklad ke kontrole masek (chybějící, špatně zarovnaná) při analýze poruch čipů. Pokud by se program doplnil o analýzu obrazu (kupříkladu za pomoci knihovny OpenCV) a možnosti propojení s elektronovým mikroskopem, mohl by program najít třeba uplatnění pro automatické zarovnávání masek při elektronové litografii.

# LITERATURA

- [1] BROWN, S. Alan *Fast Films* [online]. 2003, [cit. 14. 12. 2011]. Dostupné z URL: <<http://spectrum.ieee.org/semiconductors/materials/fast-films>>.
- [2] Calma, *GDSII Stream format manual* 1987, 48 stran
- [3] CROCKETT, A. et al. *Plasma Delayering of Integrated Circuits* [online]. Arizona, USA [cit. 21. 11. 2011]. Dostupné z URL: <[http://www.triontech.com/pdfs/Plasma Delayering of Integrated Circuits V4 080....pdf](http://www.triontech.com/pdfs/Plasma%20Delayering%20of%20Integrated%20Circuits%20V4%20080808.pdf)>.
- [4] Karstern Nohl & Starbug, *Deep Silicon Analysis* [přednáška] The Netherlands, Vierhouten, Hacking at Random 2009, 15-08-2009
- [5] LIECHTY, G. D., et al. *Parallel De-layering of an Integrated circuit (IC)* [online]. 2005, Allied High Tech Products, Inc. [cit. 22. 11. 2011]. Dostupné z URL: <[http://web.utk.edu/~gduscher/ Allied%20Parallel%20Lapping%20Integrated%20Circuits.pdf](http://web.utk.edu/~gduscher/Allied%20Parallel%20Lapping%20Integrated%20Circuits.pdf)>.
- [6] LOWRY K. Robert, *Laser decapsulation method* Inventor: Robert K. Lowry United States Patent, 6 665 208. 2002-1-1
- [7] Reverse Engineering Software *Chipworks* [online]. [cit. 14. 12. 2011]. Standard Cells. Dostupné z URL: <<http://www.chipworks.com/>>.
- [8] SCHOBERT, M. *Degate* [počítačový program]. Ver. 0.1.0 [Německo] 2011 [cit. 22. 11. 2011]. Dostupné z URL: <<http://www.degate.org/>>.
- [9] SCHOBERT, M. *Reverse-engineering von logik-gettern in integrierten schaltkreisen*. Berlín: Humboldt university, 2010, 42 stran, Vedoucí práce Dipl.-Inf Henryk Plötz
- [10] SEMITRACKS *Semiconductor, Microelectronics, Microsystem, and Nanotechnology Training* [online]. 20xx, poslední aktualizace xxx [cit. 23. 11. 2011]. Dostupné z URL: <<http://www.semitracks.com/index.php/reference-material/>>.
- [11] SZENDIUCH et al. *Mikroelektronika a technologie součástek*. 2009, ISBN 978-80-214-3960-3
- [12] SCHWINDENHAMMER, P., et al. *Microelectronics Failure Analysis using Laser Ablation of Composite Materials in System in Package*. In NXP, *Electronics Packaging Technology Conference* 2006, France : [s.n.], 6-8 Prosinec. 2006 [cit. 2011-12-15]

- [13] WANLASS, M. Frank, *Low stand-by power complementart field effect circuitry*  
Inventor: Wanlass, Frank M. United States Patent, 3 356 858. 1967-12-5

## SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

FIB Fokusovaný iontový svazek – Focused Ion Beam

SEM Rastrovací elektronový mikroskop – Scanning Electron microscope

CAS Jednoznačný identifikátor látky v databázi chemických sloučenin – Chemical Abstracts Service

RF vysokofrekvenční – radio frequency

RE reverzní inženýrství – reverse engineering

RIE reaktivní iontové leptání – reactive ion etch

GDSII Graphic Database System II

IO Integrovaný obvod

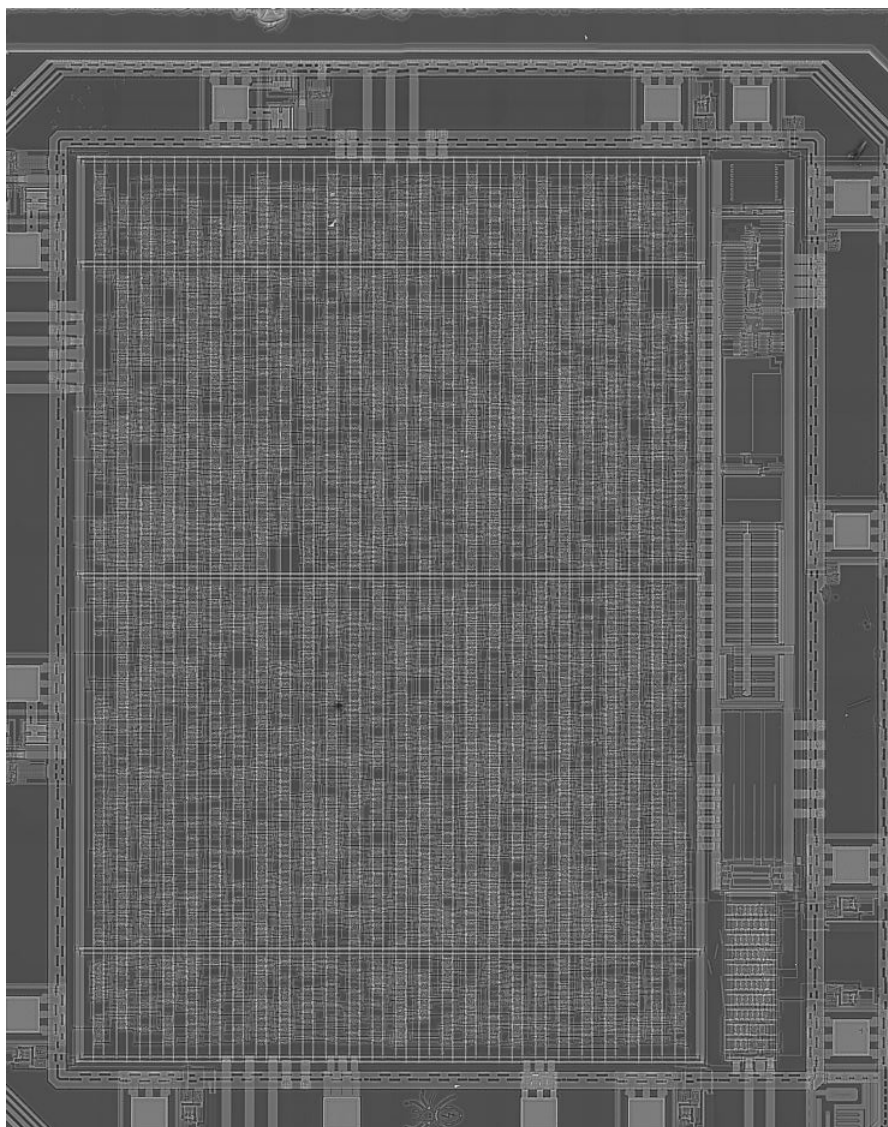
# A PŘÍLOHA A

## A.1 Obsah přiloženého CD

Priložené CD obsahuje:

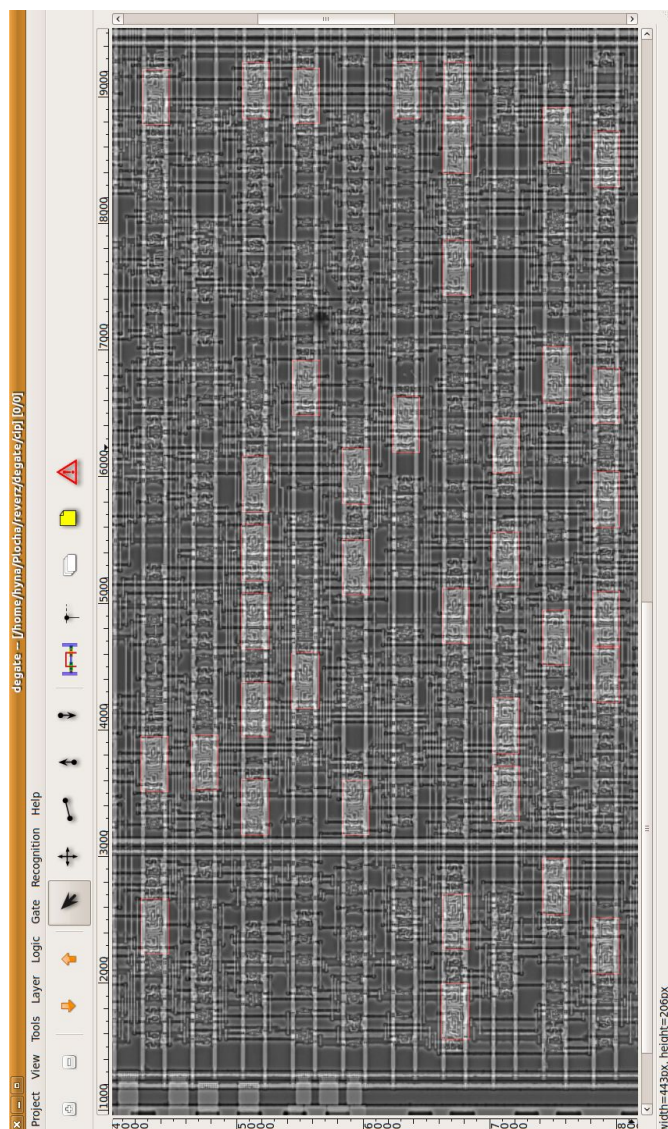
- bakalářskou práci ve formátu PDF;
- zdrojové kódy vytvořeného programu
- vytvořený program ve zkompilevané podobě

## B PŘÍLOHA B



Obr. B.1: Vrstva Metal 1 dodaného čipu

## C PŘÍLOHA C



Obr. C.1: Automatické rozpoznávání log. buněk pomocí programu Degate